

MENU

SEARCH

INDEX

DETAIL

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-299438

(43)Date of publication of application : 24.10.2000

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/82
H04B 1/38

(21)Application number : 11-107545

(71)Applicant : HITACHI LTD

(22)Date of filing : 15.04.1999

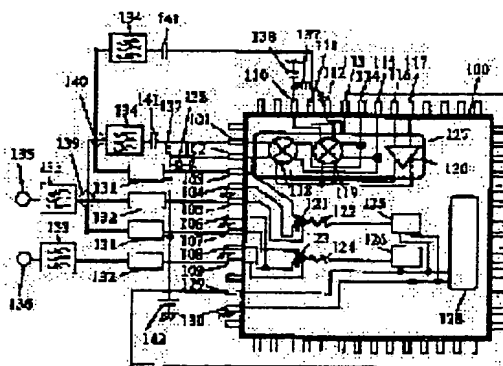
(72)Inventor : TAKIGAWA KUMIKO
TANAKA SATOSHI
HASHIMOTO TAKASHI
OKABE YOSHIYUKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the gain and noise characteristics of a semiconductor integrated circuit by providing a low-noise amplifier at the position where the distances from outside-package pins to pads become the shortest.

SOLUTION: A low-frequency-band low-noise amplifier 121 and a high-frequency-band low-noise amplifier 123 are respectively supplied with stable bias currents from their bias circuits 125 and 126. The bias currents are supplied to the amplifiers 121 and 123 after the currents are converted into bias voltages by means of a bias resistor 122 for low-frequency-band low-noise amplifier and a bias resistor 124 for high-frequency-band low-noise amplifier. The circuits of the amplifiers 121 and 123 are arranged between the output pin 103 of the amplifier 121 and the input pin 109 of the amplifier 123 so as to make the distances from the front ends of the outside-package pins of the amplifiers 121 and 123 to pads the shortest. In addition, the grounding pins of the amplifiers 121 and 123 are prevented from being arranged adjacently to each other. Therefore, the adverse effect of transformer coupled connector between the pins can be reduced and, accordingly, the gain and noise characteristics of a semiconductor integrated circuit can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-299438

(P2000-299438A)

(43) 公開日 平成12年10月24日 (2000.10.24)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
H 0 1 L 27/04		H 0 1 L 27/04	E 5 F 0 3 8
21/822		H 0 4 B 1/38	5 F 0 6 4
21/82		H 0 1 L 21/82	P 5 K 0 1 1
H 0 4 B 1/38			

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願平11-107545

(22) 出願日 平成11年4月15日 (1999.4.15)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 滝川 久美子

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 田中 聡

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

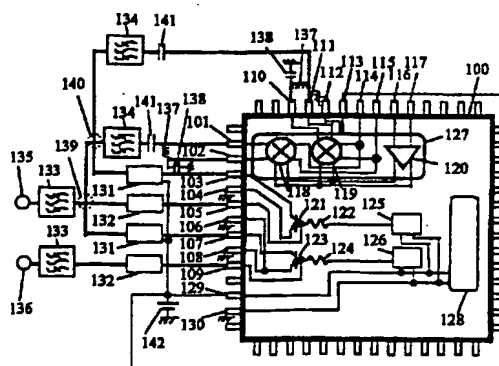
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】デュアルバンド送受信用半導体集積回路の低雑音増幅器と受信ミキサの周波数特性を劣化させない。

【解決手段】低雑音増幅器のパッケージ外ピン先端からパッドまでの距離が最短となる位置に低雑音増幅器を配置する。接地ピン同士、及び高周波信号ピン同士が隣接しない配置とする。低雑音増幅器の接地ピンと、バイアス回路の接地を分ける。高周波信号線同士が交差しないピンレイアウトとする。

図 1



【特許請求の範囲】

【請求項 1】 受信信号が入力される第 1 周波数バンド増幅器と、該第 1 周波数バンド増幅器の出力が入力される第 1 周波数バンド受信ミキサとを 1 チップ上に有し、パッケージ外に突出するピン先端から上記第 1 周波数バンド増幅器に接続されるパッドまでの距離が他のリードピンの先端とそれに対応するパッドまでの距離に比べて最短となる位置に上記第 1 周波数バンド増幅器が配置されたことを特徴とする半導体集積回路。

【請求項 2】 請求項 1 において、上記第 1 周波数バンド増幅器はバイポーラトランジスタを有し、該バイポーラトランジスタのエミッタが接続されるパッドと該パッドに対応するピンの先端までの距離が最短であることを特徴とする半導体集積回路。

【請求項 3】 受信信号が入力される第 1 周波数バンド増幅器及び第 2 周波数バンド増幅器と、該第 1 周波数バンド増幅器及び第 2 周波数バンド増幅器の出力がそれぞれ入力される第 1 周波数バンド受信ミキサ及び第 2 周波数バンド受信ミキサとを 1 チップ上に有し、上記第 1 周波数バンド受信ミキサの入力ピンと上記第 1 周波数バンド増幅器の入出力ピンとの間に上記第 2 周波数バンド受信ミキサの入力ピンが配置され、上記第 2 周波数バンド受信ミキサの入力ピンと上記第 2 周波数バンド増幅器の入出力ピンとの間に上記第 1 周波数バンド増幅器の入出力ピンが配置され、上記第 1 周波数バンド受信ミキサの入力ピンと上記第 1 周波数バンド増幅器の入力ピンとの間に上記第 1 周波数バンド増幅器の出力ピンが配置され、上記第 2 周波数バンド受信ミキサの入力ピンと上記第 2 周波数バンド増幅器の入力ピンとの間に上記第 2 周波数バンド増幅器の出力ピンが配置されたことを特徴とする半導体集積回路。

【請求項 4】 請求項 3 において、上記第 1 周波数バンド増幅器の入出力ピン及び上記第 2 周波数バンド増幅器の入出力ピンは、パッケージを形成する四辺の一辺上に設けられたことを特徴とする半導体集積回路。

【請求項 5】 受信信号が入力される第 1 周波数バンド増幅器及び第 2 周波数バンド増幅器と、該第 1 周波数バンド増幅器及び第 2 周波数バンド増幅器の出力がそれぞれ入力される第 1 周波数バンド受信ミキサ及び第 2 周波数バンド受信ミキサとを 1 チップ上に有し、パッケージ外に突出するピン先端から上記第 1 周波数バンド増幅器又は上記第 2 周波数バンド増幅器に接続されるパッドまでの距離が他のリードピンの先端とそれに対応するパッドまでの距離に比べて最短となる位置に上記第 1 周波数バンド増幅器又は上記第 2 周波数バンド増幅器の回路が設けられたことを特徴とする半導体集積回路。

【請求項 6】 請求項 5 において、上記第 1 周波数バンド増幅器及び上記第 2 周波数バンド増幅器はそれぞれバイポーラトランジスタを有し、いずれかのバイポーラトランジスタのエミッタが接続されるパッドと該パッドに

応するピンの先端までの距離が最短であることを特徴とする半導体集積回路。

【請求項 7】 増幅器と、該増幅器に接続されるバイアス回路とを有し、上記増幅器の接地ピンと上記バイアス回路の接地ピンとが各々設けられたことを特徴とする送受信用半導体集積回路。

【請求項 8】 複数の増幅器を有し、該複数の増幅器の接地ピンが互いに隣り合わない配置とされたことを特徴とする送受信用半導体集積回路。

10 【請求項 9】 入力ピンと出力ピンと接地ピンが接続された増幅器を有し、上記入力ピンと上記出力ピンとの間に上記接地ピンが配置されたことを特徴とする半導体集積回路。

【請求項 10】 請求項 7 乃至 9 の何れかにおいて、上記増幅器はバイポーラトランジスタを有し、そのエミッタが接地ピンに接続され、そのベースが入力ピンに接続され、そのコレクタが出力ピンに接続されたことを特徴とする半導体集積回路。

【発明の詳細な説明】

20 【0001】

【発明の属する技術分野】 本発明は、主として高周波数バンドと、低周波数バンドの 2 つの周波数帯域の無線システムに適用する、デュアルバンド無線通信移動体端末機器において、低雑音増幅器を集積化したデュアルバンド送受信用半導体集積回路に関する。

30 【0002】

【従来の技術】 図 4 は、従来のデュアルバンド送受信用半導体集積回路（以下、送受信 IC と称す。）を適用した端末機器の構成例である。これは、2 つの異なる周波数帯の無線通信システムの携帯端末に適用される。送受信 IC 401 はデュアルバンド無線システムに適用する高周波数バンド受信ミキサ 403 a、及び低周波数バンド受信ミキサ 403 b、次段のミキサ 404、可変利得増幅器 405、復調器 406、変調器 408、オフセット PLL 409、及びデバイダ 407 から構成されている。周波数変換に必要な局部発振信号はシンセサイザ 410、内蔵のデバイダ 407 から供給される。送受信 IC に接続された帯域通過フィルタ 411 は、帯域外スプリアスを除去する。高周波数バンド低雑音増幅器 402 a、及び低周波数バンド低雑音増幅器 402 b は IC 外付けとなっている。これまで、低雑音増幅器は、トランジスタプロセスの f_T 限界や、トランジスタ基板間容量により高周波帯域での利得や、雑音特性の不足で IC 内蔵化が困難であった。しかし、近年の微細プロセス向上により上記の問題が克服され、低雑音増幅器の内蔵が可能になった。

50 【0003】 デュアルバンド送受信 IC に適用する低雑音増幅器の一例が Keng Leong Fong 「Dual-Band High-Linearity Variable-Gain Low-Noise Amplifiers for Wireless Applications」 ISSCC 1999, pp.224-225, p.463 に開

示されている。これは、デュアルバンド送受信IC向けに2つの低雑音増幅器を1チップ化し、TSSOP20ピンパッケージに封印したもので、送受信系全体を内蔵した構成でない。なお、信号線や接地線等とパッドの対応は不明である。また、低雑音増幅器を内蔵した送受信ICの一例が、Michiel Steyaert et al. 「A single-Chip CMOS Transceiver for DCS1800 wireless Communications」 I SSCC 1998, pp.48-49, p.411である。これは、送受信回路を1チップ化したものであるが、デュアルバンドに適用するものでない。信号線や接地線等とパッドの対応は不明である。また、使用しているパッケージも不明である。

【0004】

【発明が解決しようとする課題】本発明では、図4で示したデュアルバンド向けの送受信回路チップ401に低雑音増幅器402a、及び402bを新たに内蔵した。この場合に、パッケージにおけるピンレイアウト上の課題が発見された。なお、本発明では、パッケージは4面にピンが配置されているQuad Flat package（以下、QFPと称す）を用いた。

【0005】第一の課題は、低雑音増幅器をQFPのリードピンのうち長いリードピンに長いボンディングワイヤでボンディングするようなレイアウトとすると、寄生インダクタンスによる負帰還量が大きくなり、高周波利得と雑音特性が劣化する、というものである。

【0006】第二の課題は、ICのピン間のトランス結合や、ICを実装する多層基板上の配線交差によるトランス結合で同様にICの高周波特性が劣化する、というものである。

【0007】第三の課題は、低雑音増幅器における寄生容量と寄生インダクタンスにより発振が発生する場合がある、というものである。

【0008】本発明の目的は、デュアル送受信向けIC回路に内蔵する低雑音増幅器の高周波特性を劣化させないピンレイアウトを提供することにある。

【0009】

【発明の実施の形態】以下、本発明の実施例を図1に示す。図中の100は、本発明を適用するデュアルバンド送受信ICのQFPである。123は図4の高周波数バンド低雑音増幅器402aに相当するものであり、121は図4の低周波数バンド402bに相当するものである。118は、図4で示す高周波数バンド受信ミキサ403aに相当し、119は、図4の低周波数バンド受信ミキサ403bに相当する。

【0010】図1において、低周波数バンド低雑音増幅器121と高周波数バンド低雑音増幅器123は、それぞれ低周波数バンド低雑音増幅器用バイアス回路125と、高周波数バンド低雑音増幅器用バイアス回路126から安定なバイアス電流が供給される。低周波数バンド低雑音増幅器用バイアス抵抗122及び高周波数バンド

低雑音増幅器用バイアス抵抗124によって、それぞれバイアス回路からのバイアス電流がバイアス電圧に変換されて低雑音増幅器に供給される。103は低周波数バンド低雑音増幅器の出力ピン、104は低周波数バンド低雑音増幅器の接地ピン、105は低周波数バンド低雑音増幅器の入力ピン、106及び108は高周波数バンド低雑音増幅器の接地ピン、107は高周波数バンド低雑音増幅器の出力ピン、109は高周波数バンド低雑音増幅器の入力ピン、129は送信回路ブロックの電源ピン、130は送信回路ブロックの接地ピンである。129及び130はバイアス回路125と126の電源、接地でもある。127はデュアルバンド受信ミキサ部であり、高周波数バンド受信ミキサ118、低周波数バンドミキサ119、及び両受信ミキサに局部発振信号を供給する局部発振信号用増幅器120からなる。101、102は高周波数バンド受信ミキサ入力ピン、110、111は低周波数バンド受信ミキサ入力ピン、112はミキサ回路接地ピン、113はミキサ回路電源ピン、114、115はミキサ回路出力ピン、116及び117は局部発振信号入力ピンである。142は電源で、ピン113及びピン129を介し受信ミキサ、送信回路に電源電圧を供給すると共に、低雑音増幅器に出力整合回路131を介して電源電圧を供給する。

【0011】以下、本発明のピンレイアウトの特徴について説明する。

【0012】第一に、低雑音増幅器のパッケージ外ピン先端からパッドまでの距離が最短となる位置に低雑音増幅器の回路を設ける。このようにすることでリードピンとボンディングワイヤの寄生インダクタンスによる負帰還の効果が低減し、利得、雑音特性が劣化を防止する。本実施例では、103から109ピンに配置することが、パッケージ外ピン先端から、低雑音増幅器の距離が最短となるケースである。

【0013】なお、これらのピンの中で上記距離が最短のものはピン106であり、低雑音増幅器を形成するバイポーラトランジスタのエミッタが接続されている。

【0014】第二に、複数の低雑音増幅器の接地ピン同士は互いに隣り合わないようにした。本実施例では、高周波数バンド低雑音増幅器123の接地ピンは2本であり、そのため、寄生インダクタンスによる負帰還の効果が半減し、高利得が得られる。図5に接地したボンディングワイヤとリードピンとの等価回路を示す。502は集積回路基板である。503はその上に作られる集積回路であり、ここでは低雑音増幅器である。パッケージ支持部材501の上にあるリードピン506は、ボンディングワイヤ505で低雑音増幅器の接地のパッド504と接続される。このときの等価回路は、507で示される逆符号のトランス結合となり、一方のリードピンに流れる電流は他方のリードピンの電流を減少させる作用をする。このため、隣接したリードピンを2本用いた場

合、寄生インダクタンスは半分にはならず、トランスの結合度の影響で、およそ単一リードと比較して70%程度になる。従って、寄生インダクタンスの低減には、入力ピンと出力ピンは隣接しないことが重要となる。また、入出力高周波信号も隣り合わないように、接地ピンを間に挿入する。これにより、前述と同様のトランス結合を避けられる。すなわち、一方の高周波信号に流れる電流が隣の高周波信号の電流を減少させて、利得の劣化をもたらしてしまうという問題が防止される。本実施例では、106から109に示すピンレイアウトが相当する。103から105、のピンレイアウトも高周波信号線が隣り合わない例である。

【0015】第三に、低周波数バンド受信ミキサ119の入力ピンと低周波数バンド低雑音増幅器121の入出力ピンとの間に高周波数バンド受信ミキサ118の入力ピンが配置され、高周波数バンド受信ミキサ118の入力ピンと高周波数バンド低雑音増幅器123の入出力ピンとの間に低周波数バンド低雑音増幅器121の入出力ピンが配置され、低周波数バンド受信ミキサ119の入力ピンと低周波数バンド低雑音増幅器121の入力ピン105との間に低周波数バンド低雑音増幅器121の出力ピン103が配置され、高周波数バンド受信ミキサの入力ピンと高周波数バンド低雑音増幅器123の入力ピン109との間に高周波数バンド低雑音増幅器123の出力ピン107が配置されている。

【0016】低雑音増幅器の出力ピンが入力ピンよりも受信ミキサに近い位置に置かれることにより、入力線と出力線が交差しない。なお、135及び136はそれぞれ低雑音増幅器121及び123へ入力する高周波信号の入力点で、アンテナへ接続されている。各々に付けられた帯域通過フィルタ133で、帯域外スプリアス信号を除去し、入力整合回路132で50Ωインピーダンス整合をとり、各々の低雑音増幅器121、123へ高周波信号が入力する。出力は、入力整合回路131でインピーダンス整合をとる。次に、帯域外スプリアス信号を帯域通過フィルタ134で除去した後、ミキサ入力整合回路用容量138、141とミキサ入力整合回路用インダクタ137で差動信号を生成し、受信ミキサ118、119に入力する。このような配線実装によると、点線で囲まれた139や140で配線の交差が生じる。しかし、この交差は、異なるバンドの信号線同士によるものであり、一方のバンドが使用されているときは、他方は使用されていないため、相互干渉が生じない。

【0017】第四に、低雑音増幅器の接地ピンと低雑音増幅器のバイアス回路の接地ピンがそれぞれ設けられる。なお、バイアス回路の電源ピン及び接地ピンは送信ブロックの電源、接地ピンと共有される。図2に、パッケージの寄生素子を含み、バイアス回路が低雑音増幅器と共通の接地ノードを持った場合の回路例を示す。図2の上段がその回路である。201が低雑音増幅器用トラ

ンジスタで、202がボンディングワイヤとパッケージのリード、203が低雑音増幅器のバイアス回路である。205はトランジスタ201のコレクタバイアス電位、206はバイアス回路の電源電位、207は接地である。図2の下段は上段の回路の等価回路である。208がバイアス回路の等価回路としての容量C2、209がトランジスタベース、エミッタ間容量C1、210がベース、エミッタ間電位、212がトランジスタの相互コンダクタンスgm、211がボンディングワイヤとパッケージリードピンの等価回路としてのインダクタLで表される。トランジスタの入力点204からみたインピーダンスZinは、次の式(1)で表される。

$$【0018】 Z_{in} = g_m L / (C_1(1 - \omega^2 C_2 L)) + j(\omega^2 L - 1) / (\omega C_1(1 - \omega^2 C_2 L))$$

このとき、 $1 < \omega^2 C_2 L$ となると、(1)式の実数部は負となって、インピーダンスが負性抵抗となり発振する場合がある。このため電源、接地を分け、発振の原因であるバイアス回路の寄生容量を取り除く。

【0019】本実施例では、デュアルバンドのシステムについて述べているが、複数バンドを有する場合でも同様の考察により、実現されうる。

【0020】図3に本発明のピンレイアウトで構成した送受信ICを示す。300が本発明を適用した送受信ICのチップである。303が送受信ICを封印するQFPであり、図1の100に対応する。304はパッケージのチップ接着面305の支持材である。301が高周波数バンドと低周波数版との低雑音増幅器のレイアウトで、302が同様に2つのバンドの受信ミキサのレイアウトである。

【0021】308は低周波数バンド低雑音増幅器の出力ピン、309は低周波数バンド低雑音増幅器の接地ピン、310は低周波数バンド低雑音増幅器の入力ピン、311、313は高周波数バンド低雑音増幅器の接地ピン、312は高周波数バンド低雑音増幅器の出力ピン、314は高周波数バンド低雑音増幅器の入力ピン、323は送信回路ブロック電源ピン、324は送信回路ブロック接地ピンであり、図1のピン101~109、及び129、130と対応している。また315、316は低周波数バンド受信ミキサ入力ピン、317はミキサ回路接地ピン、318はミキサ回路電源ピン、319、320はミキサ回路出力ピン、321、322は局部発振信号入力ピンであり、図1のピン110~117に対応している。325はチップ上の各パッドから上記に示したリードピンにつけたボンディングワイヤである。

【0022】図1で示したピン配置を実現するには、図3に示すように、以下の点が肝要である。低雑音増幅器のパッケージ外ピン先端からパッドまでの距離が最短となる位置に低雑音増幅器の回路を設ける。また受信ミキサは、301と302の関係のように低雑音増幅器に隣接して配置する。さらに、第一の受信ミキサの入力ピ

ン、その隣に第二の受信ミキサの入力ピン、その隣に第一の受信ミキサに接続する低雑音増幅器の入出力ピン、その隣に第二の受信ミキサに接続する低雑音増幅器の入出力ピンが並ぶようにすることである。

【0023】

【発明の効果】本発明は、第一に、低雑音増幅器のパッケージ外ピン先端からパッドまでの距離が最短となる位置に低雑音増幅器の回路を設けることで利得及び雑音特性が向上された。第二に、2つの低雑音増幅器の接地ピン、高周波信号ピン配置を隣り合わない様にして、ピン間でのトランス結合が低減された。第三に、受信ミキサと低雑音増幅器の多層実装基板上で信号配線が交差しないピンレイアウトで配線間のトランス結合が低減された。第四に、低雑音増幅器の電源と接地ピンと、バイアス回路の電源、接地ピンを分けて、発振が低減された。

【図面の簡単な説明】

【図1】本発明の実施例。

【図2】パッケージの寄生素子を含み、バイアス回路が低雑音増幅器の接地ノードを持った場合の回路例。

【図3】レイアウト構成例。

【図4】従来の移動体通信向け、デュアルバンド対応受信用半導体集積回路。

【図5】隣接したボンディングワイヤ、リードピンと等価回路。

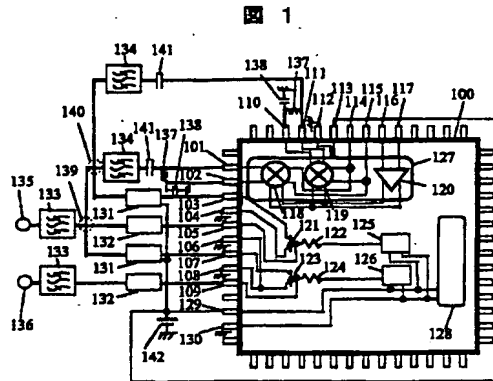
【符号の説明】

100…デュアルバンド送受信ICのパッケージ
101、102…高周波数バンド受信ミキサ入力ピン
103…低周波数バンド低雑音増幅器、出力ピン
104…低周波数バンド低雑音増幅器、接地ピン
105…低周波数バンド低雑音増幅器、入力ピン
106…高周波数バンド低雑音増幅器、接地ピン
107…高周波数バンド低雑音増幅器、出力ピン
108…高周波数バンド低雑音増幅器、接地ピン
109…高周波数バンド低雑音増幅器、入力ピン
110、111…低周波数バンド受信ミキサ入力ピン
112…ミキサ回路接地ピン
113…ミキサ回路電源ピン
114、115…ミキサ回路出力ピン
116、117…局部発振信号入力ピン
118…高周波数バンド受信ミキサ
119…低周波数バンド受信ミキサ
120…局部発振信号用増幅器
121…低周波数バンド低雑音増幅器用トランジスタ
122…低周波数バンド低雑音増幅器用バイアス抵抗
123…高周波数バンド低雑音増幅器用トランジスタ
124…高周波数バンド低雑音増幅器用バイアス抵抗
125…低周波数バンド低雑音増幅器用バイアス回路
126…高周波数バンド低雑音増幅器用バイアス回路
127…デュアルバンド受信ミキサ回路部
128…送信回路ブロック

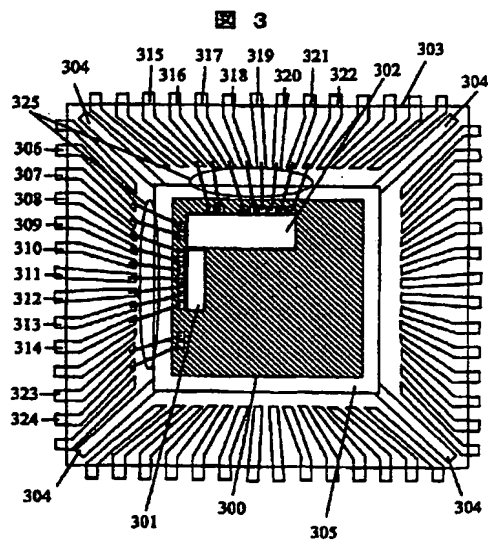
129…送信回路ブロック電源ピン
130…送信回路ブロック接地ピン
131…低雑音増幅器用出力整合回路
132…低雑音増幅器用入力整合回路
133…帯域通過フィルタ
134…帯域通過フィルタ
135…低周波数バンド入力端子
136…高周波数バンド入力端子
137…ミキサ入力整合回路用インダクタ
138、141…ミキサ入力整合回路用容量
139、140…信号線交叉点
201…低雑音増幅器用トランジスタ
202…寄生素子としてのボンディングワイヤとパッケージのリードピン
203…バイアス回路
204…低雑音増幅器入力点
205…コレクタバイアス電位
206…電源電位
207…接地
208…バイアス回路の等価回路としての容量、C2
209…トランジスタベース、エミッタ間容量、C1
210…ベース、エミッタ電位
211…ボンディングワイヤとパッケージリードの等価回路としてのインダクタ、L
212…相互コンダクタンス、gm
300…送受信ICチップ
301…高周波数バンド及び低周波数バンド低雑音増幅器のレイアウト
302…高周波数バンド及び低周波数バンド受信ミキサ回路のレイアウト
303…送受信ICのQFP
304…チップ接着面の支持材
305…チップ接着面
306、307…高周波数バンド受信ミキサ入力ピン
308…低周波数バンド低雑音増幅器、出力ピン
309…低周波数バンド低雑音増幅器、接地ピン
310…低周波数バンド低雑音増幅器、入力ピン
311…高周波数バンド低雑音増幅器、接地ピン
312…高周波数バンド低雑音増幅器、出力ピン
313…高周波数バンド低雑音増幅器、接地ピン
314…高周波数バンド低雑音増幅器、入力ピン
315、316…低周波数バンド受信ミキサ入力ピン
317…ミキサ回路接地ピン
318…ミキサ回路電源ピン
319、320…ミキサ回路出力ピン
321、322…局部発振信号入力ピン
323…送信回路ブロック電源ピン
324…送信回路ブロック接地ピン
325…ボンディングワイヤ
401…高周波部と中間周波数帯を含むIC回路

402a…高周波数バンド低雑音増幅器
 402b…低周波数バンド低雑音増幅器
 403a…高周波数バンド受信ミキサ
 403b…低周波数バンド受信ミキサ
 404…ミキサ、405…可変利得増幅器
 406…復調器、407…デバイダ
 408…変調器、409…オフセットPLL、410…

【図1】

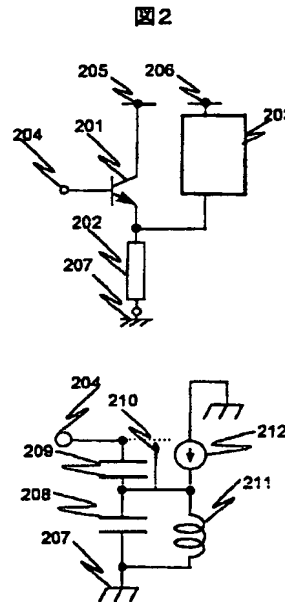


【図3】



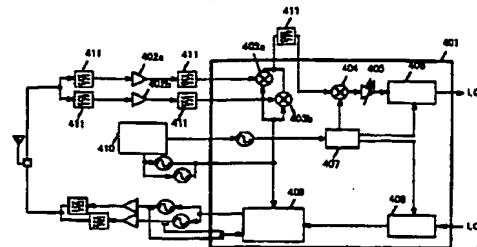
シンセサイザ、411…帯域通過フィルタ
 501…パッケージ支持部材
 502…集積回路基板、503…集積回路
 504…接地用パッド、505…ボンディングワイヤ
 506…リードピン
 507…寄生トランス。

【図2】

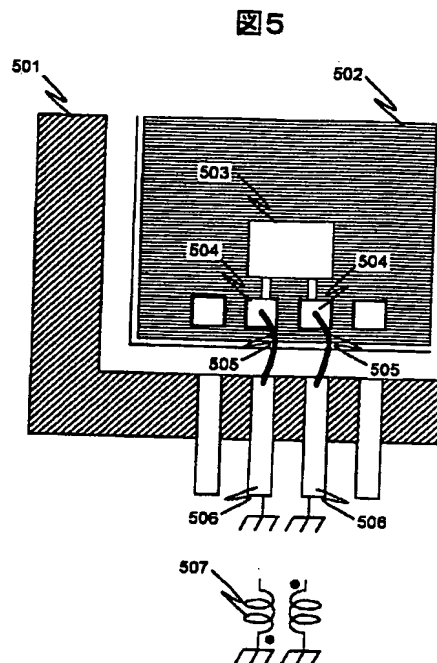


【図4】

図 4



【図5】



フロントページの続き

(72)発明者 橋本 孝

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 岡部 義行

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

Fターム(参考) 5F038 AZ06 BE07 BH11 BH19 CA03
CA10 CD02 CD03 CD05 DF01
EZ20

5F064 AA01 BB22 CC02 DD42

5K011 AA00 AA03 AA15 AA16 CA00

DA03 DA06 DA12 JA01 JA03

KA04 KA13 KA18